

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

### **Abstract for JP 06-202073**

A structure includes pixels in  $m \times n$  matrix, an active element in pixels, driving means applying predetermined voltage waveform, an electric field parallel to a substrate in pixels, and controlling orientation of liquid crystal molecules by potential difference between a signal line during scanning and an adjacent scanning line in order to control light.

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-202073

(43)公開日 平成6年(1994)7月22日

(51)Int.Cl. <sup>8</sup>	識別記号	庁内整理番号
G 0 2 F 1/133	5 5 0	9226-2K
	5 7 5	9226-2K
		8707-2K
	1/1343	
G 0 9 G 3/36	1/136	5 0 0 9018-2K
		7319-5G

F I

技術表示箇所

審査請求 未請求 請求項の数9 (全11頁)

(21)出願番号 特願平4-347934  
(22)出願日 平成4年(1992)12月28日

(71)出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地  
(72)発明者 津村 誠  
茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内  
(72)発明者 太田 益幸  
茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内  
(72)発明者 近藤 克巳  
茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内  
(74)代理人 弁理士 小川 勝男

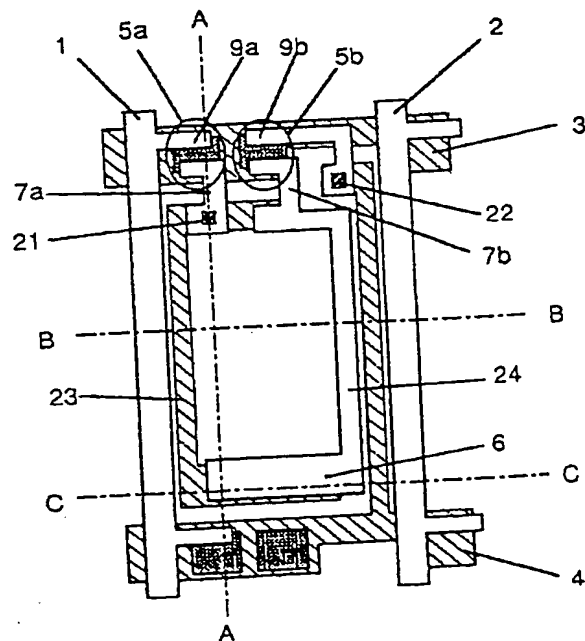
(54)【発明の名称】 アクティブマトリクス型液晶表示装置

(57)【要約】

【目的】低コスト、視角特性が良好で、表示特性が良く多階調表示が容易といった特徴を有するアクティブマトリクス型液晶表示装置を得る。

【構成】 $m \times n$ 個のマトリクス状の画素と、画素内のアクティブ素子と、所定電圧波形を印加する駆動手段と、画素内に基板面に平行な電界を印加し、かつ、走査時の信号配線の電位と隣接走査配線の電位の電位差により液晶分子の配向状態を制御し光を変調し得る所定構造を有する。

図 1



## 【特許請求の範囲】

【請求項1】少なくとも一方が透明な一对の基板と、前記基板間に挟持された液晶組成物層と、前記基板の一方に配設されたm本の走査配線及びn本の信号配線と、m×n個のマトリクス状の画素と、前記画素内に配設されたアクティブ素子及び容量素子と、所定電圧波形を前記走査配線及び前記信号配線に印加する駆動手段とを備えた液晶表示装置において、

前記画素には、前記液晶組成物層に対して主に前記基板面に平行な電界を印加し、かつ、走査時の前記信号配線の電位V1と該走査配線Iに隣接するいずれか一方の走査配線IIの電位V2の電位差 $|V1 - V2|$ を画素内に設けた略並行な電極間に印加することにより、液晶分子の配向状態を制御し光を変調し得る所定構造を有することを特徴とする液晶表示装置。

【請求項2】前記画素が、前記信号配線に接続されたアクティブ素子Aと、前記走査配線IIに接続されたアクティブ素子Bと、前記アクティブ素子Aに接続された画素電極と、前記アクティブ素子Bに接続された対向電極を有し、前記画素電極と前記対向電極の間の電界が主に前記基板面に平行な電界である所定構造を有することを特徴とする請求項1記載の液晶表示装置。

【請求項3】前記画素が、前記信号配線に接続されたアクティブ素子Aと、前記アクティブ素子Aと接続された画素電極と、前記走査配線IIに接続されたアクティブ素子Bと、前記アクティブ素子Bと接続された対向電極と、前記画素電極と前記対向電極との間に容量素子を有し、前記画素電極と前記対向電極の間の電界が主に前記基板面に平行な電界である所定構造を有することを特徴とする請求項1記載の液晶表示装置。

【請求項4】少なくとも一方が透明な一对の基板と、前記基板間に挟持された液晶組成物層と、前記基板の一方に配設されたm本の走査配線及びn本の信号配線と、m×n個のマトリクス状の画素と、前記画素に配設されたアクティブ素子および容量素子と、所定電圧波形を前記走査配線及び前記信号配線に印加する駆動手段とを備え、前記液晶組成物層に対して主に前記基板面に平行な電界を印加する所定構造を有することを特徴とする液晶表示装置において、前記所定構造が、1本以上の細長い突起を持った櫛型の形状を持つ電極からなることを特徴とする液晶表示装置。

【請求項5】前記画素が、前記信号配線に接続されたアクティブ素子Aと、前記走査配線IIに接続されたアクティブ素子Bと、前記アクティブ素子Aに接続された画素電極と、前記アクティブ素子Bに接続された対向電極を有し、前記画素電極と前記対向電極の間の電界が主に前記基板面に平行な電界である所定構造を有する液晶表示装置において、

前記該走査配線Iの選択供電圧パルスIにほぼ同期して、前記信号配線を通じて、画素電極に電位1を与える

ための駆動手段と、前記走査配線IIを通して対向電極に電位2を与える駆動手段を備えたこと特徴とする請求項2記載の液晶表示装置。

【請求項6】対向電極に与える正負両極性の前記電位2の電位差が、液晶組成物層に電界を印加した時に、(液晶表示装置の白表示をする電圧VW)と(液晶表示装置の黒表示をする電圧Valk)との電位差よりも大きいか或いは等しいことを特徴とする請求項5記載の液晶表示装置。

10 【請求項7】前記走査配線Iにより選択される複数の前記画素が、前記走査配線Iに隣接する第1の前記走査配線IIまたは、走査配線Iに隣接する他の走査配線IIIに接続されたアクティブ素子Bと、前記信号配線に接続されたアクティブ素子Aと、前記アクティブ素子Aに接続された画素電極と、前記アクティブ素子Bに接続された対向電極を有し、前記画素電極と前記対向電極の間の電界が主に前記基板面に平行な電界である所定構造を有することを特徴とする請求項1記載の液晶表示装置。

20 【請求項8】該走査配線Iにより選択される複数の前記画素が、前記走査配線Iに隣接する第1の前記走査配線IIまたは、走査配線Iに隣接する他の走査配線IIIに接続されたアクティブ素子Bと、前記信号配線に接続されたアクティブ素子Aと、前記アクティブ素子Aに接続された画素電極と、前記アクティブ素子Bに接続された対向電極を有し、前記画素電極と前記対向電極のあいだの電界が主に前記基板面に平行な電界である所定構造を有する液晶表示装置において、

30 該走査配線Iの選択期間に該走査配線Iの前後の走査配線IIまたは走査配線IIIを通じて所定の電位差を有する2種類の電圧パルスを複数の対向電極に選択的に印加することにより、逆方向の2種類の電界を液晶組成物に選択的に印加することを特徴とする請求項7記載の液晶表示装置。

40 【請求項9】少なくとも一方が透明な一对の基板と、前記基板間に挟持された液晶組成物層と、前記基板の一方に配設されたm本の走査配線及びn本の信号配線と、m×n個のマトリクス状の画素と、前記画素内に配設されたアクティブ素子及び第1の容量素子と、所定電圧波形を前記走査配線及び前記信号配線に印加する駆動手段とを備えた液晶表示装置において、

前記画素が、前記信号配線に接続されたアクティブ素子Aと、該走査配線Iに隣接する走査配線IIに第2の容量素子を介して接続されたアクティブ素子Bと、前記アクティブ素子Aに接続された画素電極と、前記アクティブ素子Bに接続された対向電極を有し、前記画素電極と前記対向電極の間の電界が主に前記基板面に平行な電界である所定構造を有することを特徴とする請求項1記載の液晶表示装置。

【発明の詳細な説明】

【0001】

3

【産業上の利用分野】本発明は、表示特性が良好かつ量産性が良好で低コストのアクティブマトリクス型液晶表示装置およびその駆動方法に関する。

#### 【0002】

【従来の技術】従来のアクティブマトリクス型液晶表示装置では、液晶層を駆動する電極としては2枚の基板界面上に形成し相対向させた透明電極を用いていた。これは、液晶に印加する電界の方向を基板界面にほぼ垂直な方向とすることで動作する、ツイステッドネマティック表示方式を採用していることによる。一方、液晶に印加する電界の方向を基板界面にほぼ平行な方向とする方式は、櫛型電極対を用いた方式が、例えば特開平1-120528号により提案されている。

#### 【0003】

【発明が解決しようとする課題】しかし、前記のツイステッドネマティック表示方式を用いた従来技術においては、ITOに代表される透明電極を形成する為にスパッタ等の真空系製造設備を使用する必要があり、設備コストが巨額になっていた。また、真空系製造設備の使用は、スループットの低下を引き起こし、このことが製造コストを著しく引き上げている。また、一般に透明電極はその表面に数10nm程度の凹凸があり、薄膜トランジスタのような微細なアクティブ素子の加工を困難にしている。さらに、透明電極の凸部はしばしば離脱し電極等の他の部分に混入し、点状或いは線状の表示欠陥を引き起こし、歩留まりを低下させる要因の一つになっていた。これらの為に、マーケットニーズに対応した低価格の液晶表示装置を安定的に提供することが出来ずにいた。また、前記の従来技術においては、画質面でも多くの課題を有していた。特に、視角方向を変化させた際の輝度変化が著しく、中間調表示を困難にしていた。更に、従来の構成では、共通電極が必要であるため、それを形成するプロセスが必要であり、歩留まり、スループットを低下させていた。また、従来の構成では、アクティブ素子の動作に起因する直流成分の発生は、純交流駆動を必要とする液晶の駆動を妨げ、これによる輝度傾斜、フリッカ、残像等の画質不良を引き起こし、アクティブ素子の特性のバラツキは、輝度のむらを引き起こしていた。

【0004】また、基板界面にほぼ平行な方向の電界を液晶に印加する従来の公知技術においては、アクティブマトリクスを用いて液晶を駆動する技術は考案されていない。

【0005】本発明はこれらの課題を同時に解決するもので、本発明の目的は、第1に、透明電極がなくとも高コントラスト、かつ、低価格の設備で高い歩留まりで量産可能な低コストのアクティブマトリクス型液晶表示装置を提供することにある。第2に、視角特性が良好で多階調表示が容易であるアクティブマトリクス型液晶表示装置を提供することにある。第3に、輝度傾斜、フリッ

4

カ、残像、むら等の画質不良のないアクティブマトリクス型液晶表示装置を提供することにある。更に、これらの目的に加え、第4に、信号電圧の低電圧化ができ、低消費電力で、低耐圧の安価なLSIを用いることができるアクティブマトリクス型液晶表示装置を提供することにある。

#### 【0006】

【課題を解決するための手段】前記目的を達成するために、本発明は、第1の装置として、少なくとも一方が透明な一対の基板と、前記基板間に挟持された液晶組成物層と、前記基板の一方に配設されたm本の走査配線及びn本の信号配線と、 $m \times n$ 個のマトリクス状の画素と、前記画素内に配設されたアクティブ素子及び容量素子と、所定電圧波形を前記走査配線及び前記信号配線に印加する駆動手段とを備えた液晶表示装置において、前記画素には、前記信号配線のうち1本の信号配線Iと前記走査配線のうち1本の走査配線IIが配設され、前記画素には、前記液晶組成物層に対して主に前記基板面に平行な電界を印加し、かつ、走査時の前記信号配線Iの電位V1と前記走査配線IIの電位V2の電位差 $|V1 - V2|$ により、液晶分子の配向状態を制御し光を変調し得る所定構造を有することを特徴とする液晶表示装置を構成したものである。

【0007】第1の装置を含む第2の装置として、前記画素には、前記信号配線Iに接続されたアクティブ素子Aと、前記走査配線IIに接続されたアクティブ素子Bと、前記アクティブ素子Aに接続された画素電極と、前記アクティブ素子Bに接続された対向電極を有し、前記画素電極と前記対向電極の間の電界が主に前記基板面に平行な電界である所定構造を有することを特徴とする液晶表示装置を構成したものである。

【0008】第1の装置を含む第3の装置として、前記画素には、前記信号配線Iに接続されたアクティブ素子Aと、前記アクティブ素子Aと接続された画素電極と、前記走査配線IIに接続されたアクティブ素子Bと、前記アクティブ素子Bと接続された対向電極と、前記画素電極と前記対向電極との間に容量素子を有し、前記画素電極と前記対向電極の間の電界が主に前記基板面に平行な電界である所定構造を有することを特徴とする液晶表示装置を構成したものである。

【0009】第4の装置として、少なくとも一方が透明な一対の基板と、前記基板間に挟持された液晶組成物層と、前記基板の一方に配設されたm本の走査配線及びn本の信号配線と、 $m \times n$ 個のマトリクス状の画素と、前記画素に配設されたアクティブ素子および容量素子と、所定電圧波形を前記走査配線及び前記信号配線に印加する駆動手段とを備え、前記液晶組成物層に対して主に前記基板面に平行な電界を印加する所定構造を有することを特徴とする液晶表示装置において、前記所定構造が、1本以上の細長い突起を持った櫛型の形状を持つ電極か

5

らなることを特徴とする液晶表示装置を構成したものである。

【0010】第2の装置を含む第5の装置として、前記画素が、前記信号配線に接続されたアクティブ素子Aと、前記走査配線IIに接続されたアクティブ素子Bと、前記アクティブ素子Aに接続された画素電極と、前記アクティブ素子Bに接続された対向電極を有し、前記画素電極と前記対向電極の間の電界が主に前記基板面に平行な電界である所定構造を有する液晶表示装置において、該走査配線Iの選択に供する電圧パルスIにほぼ同期して、前記信号配線を通じて、画素電極に電位1を与えるための駆動手段と、前記走査配線IIを通して対向電極に電位2を与える駆動手段を具備したものである。

【0011】第5の装置を含む第6の装置として、対向電極に与える前記電位2の正負両極性の電圧差が、液晶組成物層に電界を印加した時に（液晶表示装置の白表示をする電圧 $V_w$ ）と（液晶表示装置の黒表示をする電圧 $V_{blk}$ ）との電圧差よりも大きいとか或いは等しいことを特徴とする液晶表示装置としたものである。

【0012】第1の装置を含む第7の装置として、前記走査配線Iにより選択される複数の前記画素が、前記走査配線Iに隣接する第1の前記走査配線IIまたは、走査配線Iに隣接する他の走査配線IIIに接続されたアクティブ素子Bと、前記信号配線に接続されたアクティブ素子Aと、前記アクティブ素子Aに接続された画素電極と、前記アクティブ素子Bに接続された対向電極を有し、前記画素電極と前記対向電極の間の電界が主に前記基板面に平行な電界である所定構造を有することを特徴とする液晶表示装置としたものである。

【0013】第7の装置を含む第8の装置として、前記隣接する画素のアクティブ素子Bが走査配線Iの前後に配置した走査配線IIまたは走査配線IIIに接続されていることを特徴とする液晶表示装置としたものである。

【0014】第7または第8の装置を含む第9の装置として、該走査配線Iにより選択される複数の前記画素が、前記走査配線Iに隣接する第1の前記走査配線IIまたは、走査配線Iに隣接する他の走査配線IIIに接続されたアクティブ素子Bと、前記信号配線に接続されたアクティブ素子Aと、前記アクティブ素子Aに接続された画素電極と、前記アクティブ素子Bに接続された対向電極を有し、前記画素電極と前記対向電極の間の電界が主に前記基板面に平行な電界である所定構造を有する液晶表示装置において、該走査配線Iの選択期間に該走査配線Iの前後の走査配線IIまたは走査配線IIIに（液晶表示装置の白表示をする電圧 $V_w$ ）と（液晶表示装置の黒表示をする電圧 $V_{blk}$ ）との電圧差を超えるか等しい電位差を有する電圧パルスを印加するとともに、隣接画素に印加する電界方向が互いに逆方向となる所定の電圧を信号配線に印加することを特徴とする液晶表示装置としたものである。

6

【0015】第1の装置を含む第10の装置として、少なくとも一方が透明な一対の基板と、前記基板間に挟持された液晶組成物層と、前記基板の一方に配設された $m$ 本の走査配線及び $n$ 本の信号配線と、 $m \times n$ 個のマトリクス状の画素と、前記画素内に配設されたアクティブ素子及び第1の容量素子と、所定電圧波形を前記走査配線及び前記信号配線に印加する駆動手段とを備えた液晶表示装置において、前記画素が、前記信号配線に接続されたアクティブ素子Aと、該走査配線Iに隣接する走査配線IIに第2の容量素子を介して接続されたアクティブ素子Bと、前記アクティブ素子Aに接続された画素電極と、前記アクティブ素子Bに接続された対向電極を有し、前記画素電極と前記対向電極の間の電界が主に前記基板面に平行な電界である所定構造を有する液晶表示装置としたものである。

【0016】

【作用】次に本発明の作用を図17を用いて説明する。

【0017】図17(a), (b)は本発明の液晶パネル内での液晶の動作を示す側断面を、図17(c), (d)はその正面図を表す。図17ではアクティブ素子を省略してある。また、本発明ではストライプ状の電極を構成して複数の画素を形成するが、ここでは一画素の部分を示した。電圧無印加時のセル側断面を図17(a)に、その時の正面図を図17(c)に示す。透明な一対の基板203の内側に線状の電極201, 202が形成され、その上に配向制御膜204が塗布及び配向処理されている。これらの透明な一対の基板203の間には液晶組成物が挟持されている。棒状の液晶分子205は、電界無印加時にはストライプ状の電極の長手方向に対して若干の角度、即ち $45^\circ \leq |$ 電界方向に対する界面近傍での液晶分子長軸（光学軸）方向のなす角 $| < 90^\circ$ 、をもつように配向されている。上下界面上での液晶分子配向方向はここでは平行を例に説明する。また、液晶組成物の誘電異方性は正を想定している。次に、電界207を印加すると図17(b), (d)に示したように電界方向に液晶分子がその向きを変える。偏光板206の偏光透過軸を所定角度209に配置することで電界印加によって光透過率を変えることが可能となる。このように、本発明によれば透明電極がなくとも透過光のコントラスト比を与える表示が可能となる。

【0018】コントラスト比を付与する具体的構成としては、上下基板上的液晶分子配向がほぼ平行な状態を利用したモード（複屈折位相差による干渉色を利用するので、ここでは複屈折モードと呼ぶ）と、上下基板上的液晶分子配向方向が交差しセル内での分子配列がねじれた状態を利用したモード（液晶組成物層内で偏光面が回転する旋光性を利用するので、ここでは旋光性モードと呼ぶ）とがある。複屈折モードでは、電圧印加により分子長軸（光軸）方向が基板界面にほぼ平行なまま面内でその方位を変え、所定角度に設定された偏光板の軸とのな

す角を変えて光透過率を変える。旋光性モードでも同様に電圧印加により分子長軸方向の方位のみを変えるが、こちらの場合はらせんがほどけることによる旋光性の変化を利用する。また、本発明の表示モードでは液晶分子の長軸は基板と常にほぼ平行であり、立ち上がることがなく、従って視角方向を変えた時の明るさの変化が小さいので、視角依存性がなく、視角特性が大幅に向上する。本表示モードは従来のように電圧印加で複屈折位相差をほぼ0にすることで暗状態を得るものではなく、液晶分子長軸と偏光板の軸（吸収あるいは透過軸）とのなす角を変えるもので、根本的に異なる。従来のTN型のように液晶分子長軸を基板界面に垂直に立ち上がらせる場合だと、複屈折位相差が0となる視角方向は正面即ち基板界面に垂直な方向のみであり、僅かでも傾斜すると複屈折位相差が現れる。ノーマリオープン型では光が漏れ、コントラスト比の低下や階調レベルの反転を引き起こす。

【0019】更に、本発明の表示モードでは、主に基板面に平行な電界207により透過率が変化し、電界207の強度Eは、電極201と電極202の間の距離dによって変わる。よって、電極201と電極202の間の距離dのパラツキが明るさのパラツキを生み、問題となる。したがって、電極201と電極202の高いアライメント精度が要求される。2枚の基板をはり合わせるアライメント精度は、ホトマスクのアライメント精度より2から3倍悪いので、電極201と電極202は、同一基板内に形成しなければならない。しかし、電極201または電極202のどちらかを共通電極として、薄膜トランジスタ素子を形成する基板と同一基板に形成すると、配線や配線間の交差面積が増加し、走査配線、信号配線との短絡不良の増加を招き、歩留まりの低下が懸念される。本発明の液晶表示装置の構成は、走査配線から共通電極電位を与えることにより、共通電極を列毎にパネルから引き出す必要がないので、配線数を増やすことがなく、歩留まりが向上し、透明電極を用いないことと合わせて、さらに低コストの液晶表示装置を提供することが可能になる。

【0020】更に、本発明の駆動法では、2つの薄膜トランジスタ素子を用いて駆動するので、お互いの特性をキャンセルでき、輝度傾斜、フリッカ、残像等の画質不良を解消でき、表示特性が良好である。また、走査配線には共通電位を与えるための電圧を重畳するものの、信号配線については従来の映像信号をサンプルホールドして電圧を印加する方式や、デジタル画像データを電圧変換して印加する方式を踏襲することができる。

【0021】

【実施例】本発明を実施例により具体的に説明する。

【0022】【実施例1】基板としては厚みが1.1mmで表面を研磨したガラス基板を2枚用いる。これらの基板間に誘電率異方性 $\Delta\epsilon$ が正でその値が4.5であり、

複屈折 $\Delta n$ が0.072(589nm, 20℃)のネマチック液晶組成物を挟む。ここでは、誘電率異方性 $\Delta\epsilon$ が正の液晶を用いたが、負の液晶を用いてもよい。基板表面に塗布したポリイミド系配向制御膜をラビング処理して、3.5度のプレチルト角とする。上下界面上のラビング方向は互いにほぼ平行で、かつ印加電界方向とのなす角度を85度とした。上下基板のギャップは球形のポリマビーズを基板間に分散して挟持し、液晶封入状態で4.5 $\mu\text{m}$ とした。よって $\Delta n \cdot d$ は0.324 $\mu\text{m}$ である。2枚の偏光板でパネルを挟み、一方の偏光板の偏光透過軸をラビング方向にほぼ平行(85°)とし、他方をそれに直交(-5°)とした。これにより、ノーマリクローズ特性を得た。

【0023】一方の絶縁基板の上に、図1のような画素を構成した。画素の等価回路は図2ようになる。また、図1のA-A断面図を図3に、B-B断面図を図4に、C-C断面図を図5に示す。表示装置は、画素ピッチが横方向80 $\mu\text{m}$ 、縦方向240 $\mu\text{m}$ の画素を40(×3)×30(即ち、 $m=120$ ,  $n=30$ である。)配置したが、2000×2000画素程度の高精細表示装置まで適用可能である。水平方向に走査配線3, 4を形成し、走査配線と直交させ、垂直方向に信号配線1, 2を形成した。さらに、画素には、図3のA-A断面図に示すような逆スタガ構造のアモルファスシリコン8aと図示していない8bを用いた薄膜トランジスタ素子5aと図示していない5bを形成した。本実施例では、アモルファスシリコン薄膜トランジスタ素子を形成し用いるが、他にポリシリコン薄膜トランジスタ素子、シリコンウエハ上のMOS型トランジスタ、有機TFTまたはMIM(Metal-Insulator-Metal)ダイオード等の2端子素子(厳密にはアクティブ素子ではないが、本発明ではアクティブ素子とする)を用いてもよい。図1に示すように、画像に応じた信号電圧を薄膜トランジスタ素子5aのドレイン電極9a(実際の駆動状態では、ソースとして働くこともあるが、本実施例では、信号配線および次段のゲート配線に接続している電極をドレイン電極と定義し、画素電極に接続しているまたは画素電極になっている電極をソース電極と定義する)に印加し、そのソース電極7aとスルーホール21を介して信号電極23に接続した。信号電極23との電位差を与える対向電極24の電圧を、次段の走査電極4からスルーホール22及び薄膜トランジスタ素子5bのドレイン電極9b、ソース電極7bを介して与えた。また、図5のように、信号電極23と対向電極24とゲート絶縁膜11を用いて容量素子6を形成した。ここで、容量素子6は、信号によるノイズを吸収することにより、ソース電極の電位を定電位に保持するために設けている。この様に、1つの画素内に、2つの薄膜トランジスタ素子が設けられており、図4に示すように、信号電極23と対向電極24の間の電界方向Eが、主に基板面に平行または水平方向

成分を持つようにした。ここでは、2つの薄膜トランジスタ素子を用いたが、3つ以上の薄膜トランジスタ素子を用いて冗長構成をとってもよい。同様に容量素子も2つ以上用いても構わない。ここでは、2つの電極、すなわち、信号電極23と対向電極24間の電位差で液晶層の液晶分子の配向を制御するようにした。光は、信号電極23と対向電極24の間を透過し、液晶層17に入射、変調されるので、透光性のある画素電極（例えばITO等の透明電極）は特に設ける必要はなく、従来のアクティブマトリックス型液晶表示装置の断面構造から、2層の透明電極層をなくすことができ、更に信号配線と同一層で形成することにより、大幅に工程を短縮することができる。また、一般にフォトマスクのアライメント精度は対向する2枚のガラス基板間のアライメント精度に比べて著しく高い。したがって、これらの構成要素は両側の基板に分けて配置することもできるが、一方の基板上に形成した方が望ましい。ここでは、信号電極23と対向電極24間のアライメントがフォトマスクのみで行われるため、液晶層に印加される電界Eのバラツキが小さく抑制される。さらに、同一層で両ソース電極を形成するので、信号電極23と対向電極24間の距離dのバラツキは、5%以下に押さえることができた。また、走査配線3、4はゲート電極も兼ねるようにし、タンタル薄膜で形成した。信号配線1、2はドレイン電極も兼ねるようにし、ソース電極7a、7bと同時に、チタン薄膜で形成した。走査配線3、4及び信号配線1、2は、特に材料の制約はなく、クロム、アルミニウム等でもよいが、駆動LSIとの接続端子部での腐食を考慮すると、対腐食性の強い金属が望ましい。また走査配線3、4には、電気抵抗の低い金属が望ましいので、走査配線は2層以上の金属層で構成してもよい。信号配線と走査配線の本数は画素数を $m \times n$ とすると従来構成と同数の信号配線が $m$ 本、走査配線については次段の走査配線が薄膜トランジスタ素子5bのソース電極7bに電圧を印加するため1本余分に必要ことから $n+1$ 本となる。さらに、薄膜トランジスタ素子5a、5b上には、薄膜トランジスタ素子を保護するように窒化シリコンで保護膜12を形成した。また、薄膜トランジスタ素子を有する基板に相対向する基板（以下、対向基板と称する。）にストライプ状のR、G、B3色のカラーフィルタ13を備えたが、モノクローム表示装置を構成するときには、このカラーフィルタ13不要である。カラーフィルタ13の上には表面を平坦化する透明樹脂14を積層した。透明樹脂14の材料としてはエポキシ樹脂を用いた。更に、この透明樹脂14上と薄膜トランジスタ素子を有する基板上にポリイミド系の配向制御膜16を塗布した。平坦化膜14の上に配向制御膜として、別の膜を形成せずに表面を直接ラビングしてもよい。この場合、このエポキシ樹脂は平坦化と液晶分子の配向制御の両方の機能を兼ね備えている。これにより、配向膜を塗

布する工程がなくなり、製造がより容易かつ短くなる。一般に従来方式であるTN型では、配向制御膜に要求される特性が多岐にわたり、それら全てを満足する必要がある、そのためポリイミド等の一部の材料に限られていた。特に重要な特性は、傾き角である。しかし、本発明の表示モードでは大きな傾き角を必要とせず、従って、材料の選択幅が著しく改善される。同様に、薄膜トランジスタを保護する保護膜12をエポキシ樹脂にし、ラビング処理をすることもできる。また、配向不良領域の影響によるコントラストの低下を解消するため、クロムを用いて遮光膜15をガラス基板上に形成した。また遮光膜15は、有機ポリマで形成すると更によい。なぜならば、これにより、対向基板上には一切導電性の物質は存在しなくなるからである。本実施例の構成においては仮に製造工程中に導電性の異物が混入したとしても、対向基板を介しての電極間接触の可能性がなく、それによる不良率がゼロに抑制される。したがって、配向膜の形成、ラビング、液晶封入工程などのクリーン度の裕度が広がり、製造工程の簡略化ができる。さらに遮光膜15を黒色色素を含んだ有機ポリマで形成すると外光の反射によるギラギラや、コントラストの低下が防止できる。さらに遮光膜15を、ストライプ状にレイアウトすることによって、印刷プロセスを用いることができる。これにより、更に製造工程を簡略化でき低コスト化が図れる。

【0024】図6に示すように、以上のような液晶表示パネルに駆動LSI163、164を含むTCP（Tape Carrier Package）を接続し、駆動した。なお、信号側駆動LSI164は、奇数列と偶数列に分割し、表示パネルの上下に接続した方が、接続のピッチが広くなり、接続が容易になるので、望ましい。

【0025】次に駆動方式を述べる。図7に各電極に印加される電圧の波形を示す。1行毎に、信号が書き込まれる線順次駆動を行っている。ゲート電圧31:  $V_{gi}$  は1行分のTFTを選択してオン状態にする選択パルス41:  $V_{goni}$  と1行前の対向電極に電位 $V_c$ を与える対向電圧パルス51:  $V_{gci}$ により構成される。 $i+1$ 行目の対向電圧パルス52:  $V_{gci}+1$ は $i$ 行目のゲート線の選択パルス41:  $V_{goni}$ にほぼ同期して印加する。このため、 $i$ 行目のゲート線のゲート電圧31に選択パルス41が印加されると、薄膜トランジスタ素子5a、5bがオンし、信号電圧61:  $V_{ds}$ と $i+1$ 行目の対向電圧パルス52:  $V_{gci}+1$ がそれぞれの薄膜トランジスタ素子5a、5bを介して信号配線1及びゲート配線4に接続されている蓄積容量17及び液晶素子6に書き込まれる。その行の書き込み期間（1H）が終わると、ゲート電圧31:  $V_{gi}$ がオフレベルまで立ち下がり、薄膜トランジスタ素子5a、5bはオフ状態になり、書き込まれた電圧を保持するが、実際には、ゲート電圧31がオフレベルまで立ち下がる時に、薄膜トランジスタ素子5a、5bの寄生容量によるカップリングノイズによる電



圧シフト76, 77が起き、その電圧で保持される。ここで、液晶に印加される電圧は、薄膜トランジスタ素子5a, 5bの各々のソース電圧71, 61の間の電圧78が、印加され、この電圧78によって、その画素の明るさ(透過率)が決まる。

【0026】本実施例では透明電極が無い場合、製造プロセスが簡略化できかつ歩留まりも向上し、著しくコストが低減できる。特に、透明電極を形成するための設備、工程が不要になり、製造設備投資額の大幅低減と工程数の削減から、それによる低コスト化が可能となる。また、次段走査配線から対向電極に電位を与えることにより、対向電極に電圧を印加する特別の共通電極を必要としないため、共通電極を形成する工程が削減でき、対向基板には一切の電極を必要としなくなった。それによる共通電極との接触不良がゼロになり、歩留まりが向上でき低コスト化が可能になる。

【0027】また、本実施例における液晶への印加電圧と明るさの関係を示す電気光学特性を図8に示す。コントラスト比は7V駆動時に150以上となり、視角を左右、上下に変えた場合のカーブの差は従来方式(比較例1に示す)に比べて極めて小さく、視角を変化させても表示特性はほとんど変化しなかった。また、液晶配向性も良好で、配向不良ドメインは発生しなかった。

【0028】さらに、従来の駆動方法で、薄膜トランジスタ素子をオン状態からオフ状態に切り換える際に、薄膜トランジスタ素子の寄生容量を通して受ける電圧シフト76, 77によって発生する液晶印加電圧の直流成分は、本実施例では、2つの薄膜トランジスタ素子で互いにキャンセルするので発生しない。したがって、従来共通電極で補正していた直流成分の補正をすることなく、液晶の交流駆動をすることができることから、フリッカが発生しなかった。同様に、直流成分による残像も確認できず、輝度傾斜も目立たなかった。更に、MIMダイオード等の2端子素子を用いる場合は、素子のしきい値のバラツキによる輝度むらなどの画質不良も同様に2つの素子でキャンセルするので、輝度むらが解消される。

【0029】【比較例】従来方式であるツイステッドネマチック(TN)型を比較例とする。実施例1に比べ透明電極があるため、構造が複雑かつ製造工程が長い。ネマチック液晶組成物としては、実施例1と同一の誘電異方性 $\Delta\epsilon$ が正でその値が4.5で、屈折率異方性 $\Delta n$ が0.072(589nm, 20℃)のものを、ギャップは7.3 $\mu\text{m}$ 、ツイスト角は90度とした。よって $\Delta n \cdot d$ は0.526 $\mu\text{m}$ である。

【0030】電気光学特性を図9に示す。視角方向で激しくカーブが変化した。また、薄膜トランジスタの隣接部の断差構造のある付近で、周辺部とは液晶分子の配向方向が異なる配向不良ドメインが生じた。更に共通電極では、直流成分をキャンセルすることができず、フリッカ、残像、輝度傾斜が発生した。

【0031】【実施例2】一方の絶縁基板上に、図10のような画素を構成した。本実施例は画素の等価回路、画素の縦構造および駆動方法が、実施例1の図2から図5及び図7と同様であるので省略する。

【0032】図10に示すように、本実施例は画素電極23及び対向電極24を櫛型構成とした点異なる。電界Eを印加する両電極間の距離が長いと有効に液晶に電界が印加されないため、液晶のしきい値電圧が上がる。両電極23及び24を櫛型構成とし、互いに噛み合うような配置にすることにより、電極間距離を第1実施例の約1/3に縮小することができた。これにより、液晶にかかる電界が約3倍になり、その結果実施例1に比べてしきい値電圧及び応答時間のいずれもが短縮された。尚、明るさが総変化量の10%変化する電圧( $V_{10}$ と定義する)をしきい値電圧と定義すると、実施例1に於いて9.5ボルトであったものが5.8ボルトになった。また、応答時間は、0ボルトの電圧と明るさが総変化量の90%変化する電圧( $V_{90}$ と定義する)の間でオン・オフのスイッチングをしその時の応答時間( $t_{on} + t_{off}$ )を測定したところ、実施例1で650msであったものが140msに短縮された。尚、ここで $t_{on}$ ,  $t_{off}$ はいずれも動的な輝度変化の総量に対して90%変化するまでの時間を表す。

【0033】以上のように本実施例では、実施例1および実施例2の効果に加え、実施例1に比べてしきい値電圧及び応答時間のいずれもが短縮された。

【0034】【実施例3】本実施例の構成は下記の要件を除けば、実施例1と同一である。

【0035】図11に本実施例の画素平面図を、図12にその等価回路図を示す。対向電極24に電位を与える薄膜トランジスタ素子5aのドレイン電極と次段の走査配線4を容量素子101を介して接続した。また、信号によるノイズを除去する目的で信号電極23と対向電極24の間に接続した容量素子6を二つの容量素子6aと6bの直列接続により構成することにより、実施例1及び実施例2に必要であったスルーホールをすべて取り除くことができた。これにより微細加工の必要な画素内において、層間絶縁膜におけるパターニングや穴あけといった加工処理が不要となり、絶縁膜加工の不良による異層間のショートや接続不良がなく、しかも表示に無関係なスルーホール領域を低減できることによる開口率の向上による高品質の液晶表示装置を実現できる。

【0036】容量結合により対向電極24に電位を与えた場合、図12に示すごとく、その電位は容量素子101と液晶容量17と容量素子6a, 6bの合成容量の比により対向電極24の電位が決定される。信号電極23の電圧を $V_{ds}$ 、一方、次段の走査配線の電圧を $V_{gc}$ 、対向電極24の電圧を $V_c$ 、液晶容量17と容量素子6a, 6bの容量値をそれぞれ $C_{17}$ ,  $C_{6a}$ 及び $C_{6b}$ 、これらの合成容量値を $C_{102}$ 、容量素子101の

13

14

容量値をC101とすると信号電極23と対向電極24 \*【0037】  
間の液晶容量は非常に小さいので、 \*【数1】

$$C102 = C17 + \frac{C6a \times C6b}{C6a + C6b} + \frac{C6a \times C6b}{C6a + C16b} \quad \dots (数1)$$

【0038】液晶に印加される電圧は

※【数2】

【0039】

※

$$V_{ds} - V_c = V_{ds} - \left( (V_{ds} - V_{gc}) \frac{C102}{C101 + C102} + V_{gc} \right) \\ = (V_{ds} - V_{gc}) \frac{C101}{C101 + C102} \quad \dots (数2)$$

【0040】となる。

【0041】従って、容量素子101の容量値C101が合成容量C102よりも十分大きければ、液晶を駆動するに十分な電圧を印加することができるし、2〜3倍であっても、次段の走査配線の電圧振幅が25〜33%大きくなるだけで表示特性には何ら影響を与えることがない。

【0042】本実施例によれば、容量結合により対向電極の電圧を与えるので、層間絶縁膜におけるパターンングや穴あけといった加工処理が不要となり、表示に無関係な領域を低減できることによる開口率の向上と、絶縁膜加工の不良による欠陥の少ない高品質の液晶表示装置を実現できる。

【0043】〔実施例4〕本実施例の構成は下記の要件を除けば、実施例1と同一である。

【0044】駆動波形を図13に示す。画素構成及び等価回路は図1及び図2と同一であるが、ゲート電圧32:  $V_{gi} + 1$ の内、対向電圧パルス52:  $V_{gci} + 1$ を1行毎に  $V_{cc}$ を中心として極性反転をした点の特徴である。液晶電圧62は信号電圧61と対向電圧52:  $V_{gci} + 1$ の差電圧であるから、選択行の次段のゲートの対向電圧パルス52を行毎に極性反転することにより、対向電圧パルスを基準として液晶の書き込み極性が決まるので、液晶の行毎反転駆動による低電圧駆動を実現できる。対向電圧52の電圧振幅を適当に選ぶとともに、信号電圧と対向電圧の中心値をほぼ等しくすることにより、信号電圧の振幅を最小化することができる。本実施例では、このように駆動条件を選択することにより、信号側駆動素子の低電圧化と行毎極性反転によるフリッカ低減が実現できることから、高画質表示に加えて、低電圧化による液晶表示装置全体の低電力化及び駆動素子の低価格化が図られ、可搬性の高い普及型のパーソナルコンピュータや多機能端末装置を実現できる。

【0045】〔実施例5〕本実施例の構成は下記の要件を除けば、実施例4と同一である。

【0046】図14に本実施例の2行2列分の画素平面図を、図15に等価回路図を、図16にその駆動波形を示す。表示装置全体はこの画素配置を繰り返すことにより構成する。画素の基本構成は図1の第1実施例と同様であるが、対向電極24の電位を与える走査配線との接

続を、1列毎に上下の走査配線4aおよび4bに接続するとともに、駆動方式としては、実施例4の低電圧駆動を基本に、走査配線3選択時に上下の走査配線4aおよび4bに実施例4において1行毎に極性反転して加えていた2種類の対向電圧を1列毎に印加する点が特徴である。

【0047】本実施例によれば、液晶への書き込み極性を列毎に反転させることが可能で、ウィンドー等のパターンを表示したときに発生しやすい横方向の線状のノイズ（横スミア）をゲート配線上でクロストーク電流を逆極性の信号電圧を書き込むことによりキャンセルすることで防止すると同時に、信号電圧の低電圧化を実現できる。さらに、1行毎に極性反転することにより、縦方向のスミアも同時に防止することが可能で、高画質低電圧駆動を実現できる。

【0048】本実施例によれば、ゲート配線上の負荷が多少増大しても、ゲート配線上でクロストーク電流を逆極性の信号電圧を書き込むことによりキャンセルすることができるので、高負荷駆動や高精細の表示装置においても、スミアの発生の無い高品位の表示装置を低電力で実現することができる。

【0049】

【発明の効果】以上詳述したように、本発明によれば、画素電極は透明である必要がなく、導電性の高い不透明な金属電極を用いることができ、低価格の設備で高い歩留まりで量産可能な低価格のアクティブマトリクス型液晶表示装置が得られる。また、対向基板側にコモン電極を形成する必要がなく、コモン電極の形成にまつわる工程を削減またはコモン電極の形成にまつわる歩留まり低下を解消でき、低価格の設備で高い歩留まりで量産可能な低価格のアクティブマトリクス型液晶表示装置が得られる。更に、視角特性が良好で多階調表示が容易であるアクティブマトリクス型液晶表示装置も得られる。更に、信号電圧と対向電圧の差を利用することによって、2つの薄膜トランジスタ素子を1画素に利用することによって、薄膜トランジスタ素子の特性に関する電圧変動をキャンセルでき、輝度傾斜、残像、フリッカ等の画質不良のない高画質のアクティブマトリクス型液晶表示装置が得られる。更に、低電圧かつ低消費電力のアクティブマトリクス型液晶表示装置も同時に得られる。

15

## 【図面の簡単な説明】

【図1】本発明の実施例1の画素部の構成を示す図。

【図2】実施例1の画素構成の等価回路を示す図。

【図3】実施例1の画素構成のA線における断面図を示す図。

【図4】実施例1の画素構成のB線における断面図を示す図。

【図5】実施例1の画素構成のC線における断面図を示す図。

【図6】本発明の液晶表示装置の概略図。

【図7】実施例1の各電極に印加される電圧波形を示す図。

【図8】本発明の液晶表示装置の視角依存性を示す図

【図9】従来の液晶表示装置の視角依存性を示す図。

【図10】本発明の実施例2の画素部の構成を示す図。

【図11】本発明の実施例3の画素部の構成を示す図。

【図12】本発明の実施例3の等価回路を示す図。

【図13】本発明の実施例4の駆動波形を示す図。

【図14】本発明の実施例5の画素部の構成を示す図。

【図15】本発明の実施例5の等価回路を示す図。

16

【図16】本発明の実施例5の駆動波形を示す図。

【図17】本発明の液晶表示装置における液晶動作を示す図。

## 【符号の説明】

1…j列目の信号配線、2…(j+1)列目の信号配線、3…i行目の走査配線、4…(i-1)行目の走査配線、5a…一方の薄膜トランジスタ素子、5b…他方の薄膜トランジスタ素子、6a…一方の容量素子、6b…他方の容量素子、7a…一方の薄膜トランジスタ素子のソース電極、7b…他方の薄膜トランジスタ素子のソース電極、8a、8b…アモルファスシリコン、9…液晶層、11…ゲート絶縁膜、12…保護膜、13…カラーフィルタ、14…平坦化膜、15…遮光層、16…配向膜、61…他方の薄膜トランジスタ素子のソース電極、71…一方の薄膜トランジスタ素子のソース電極、76、77…電圧シフト、78…液晶印加電圧、161…薄膜トランジスタ素子を有する基板、162…対向基板、163…走査側駆動LSI、164…信号側駆動LSI、165…コントロール回路。

【図1】

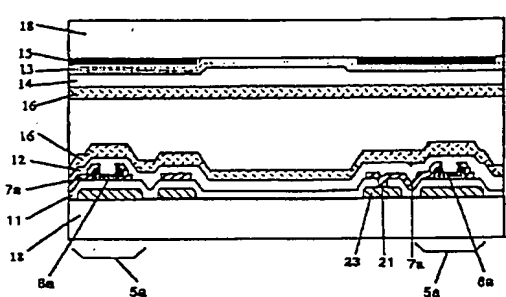
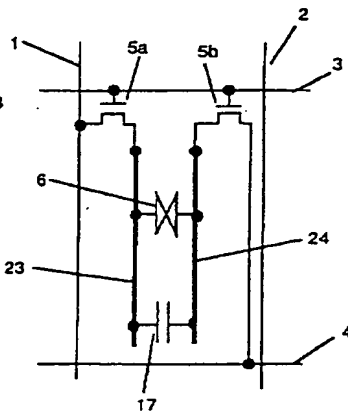
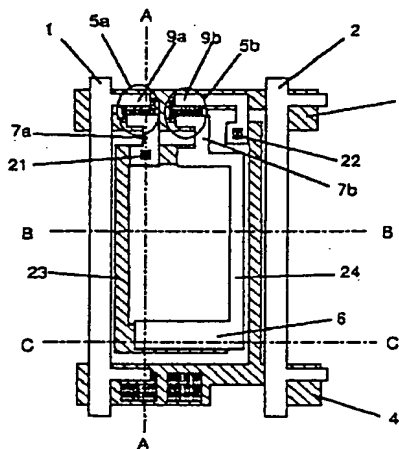
【図2】

【図3】

図 1

図 2

図 3

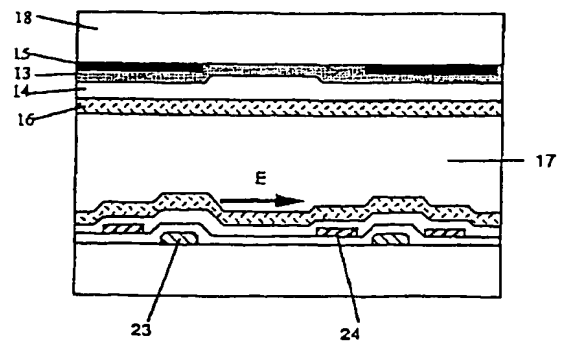
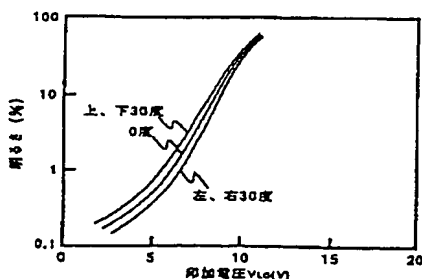


【図4】

図 4

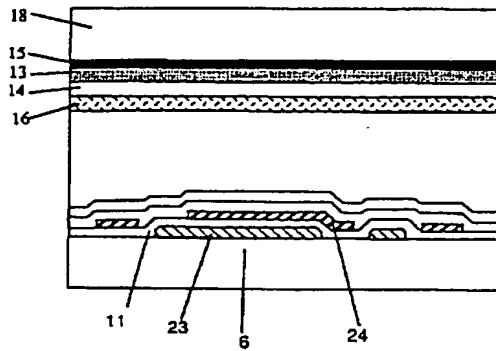
【図8】

図 8



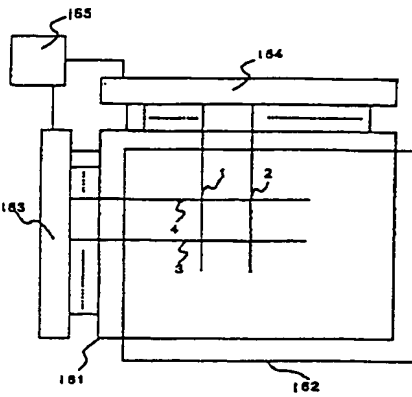
【図5】

図5



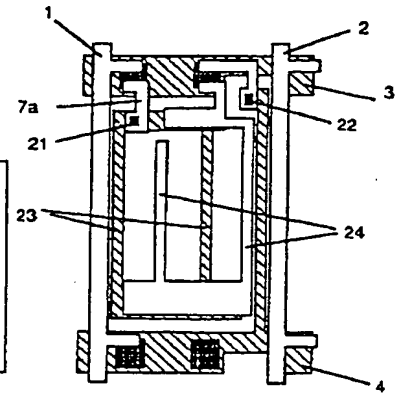
【図6】

図6



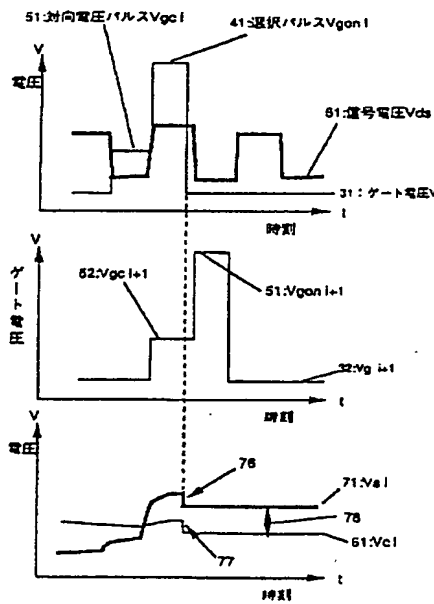
【図10】

図10



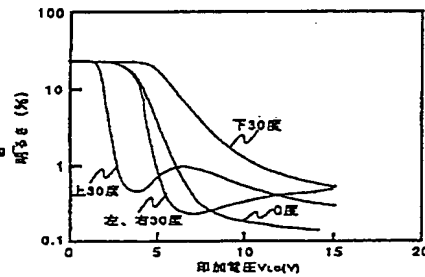
【図7】

図7



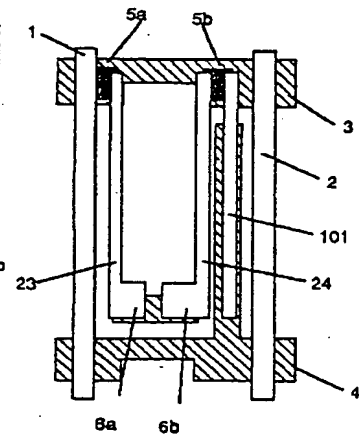
【図9】

図9



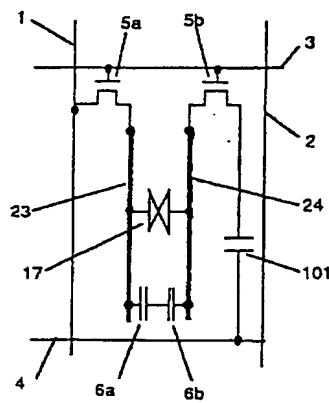
【図11】

図11



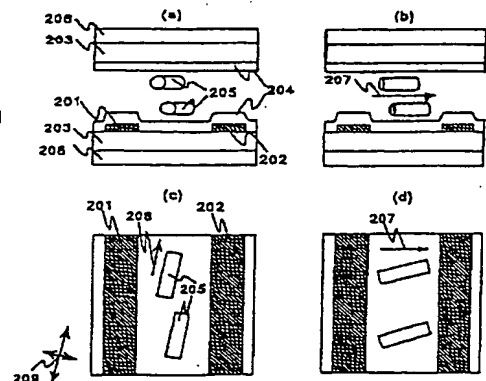
【図12】

図12



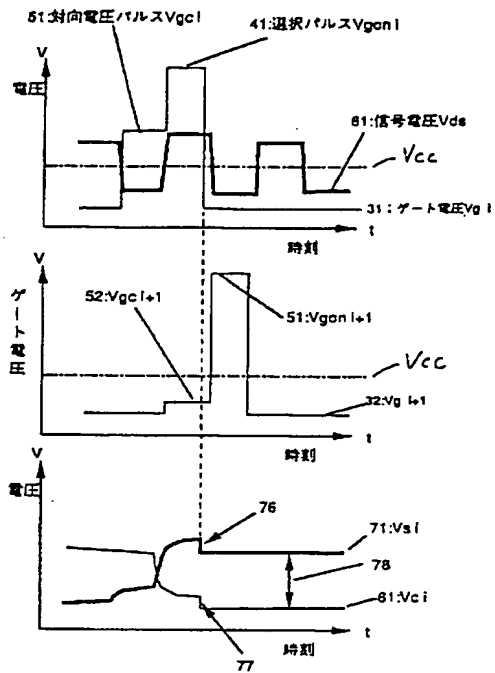
【図17】

図17



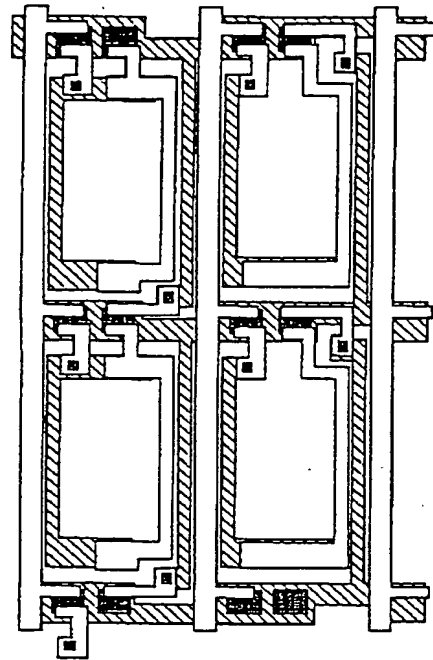
【図13】

図13



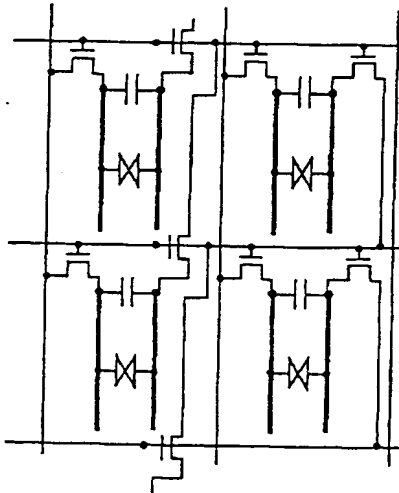
【図14】

図14



【図15】

図15



【図16】

図16

